

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

6-196612

Title of The Invention: Package for semiconductor chip

[0002]

PRIOR ART

Figs. 6 and 7 are, respectively, a cross-sectional view and a perspective view of an exemplary semiconductor chip package for accommodating a semiconductor chip according to the prior art, and in the figures, reference numeral 1 designates a main body of the package having a concave portion 1a provided on the top surface thereof for accommodating a semiconductor chip T, and reference numeral 2 designates conductive leads for providing electrical connections between the semiconductor chip T and an external circuit (not shown), and each of these leads 2 comprises a pad portion 2a exposed within the concave portion 1a of the package's main body for making a connection with the semiconductor chip T, a terminal portion 2b protruding outwardly from the package's main body 1 for making a connection with the external circuit and a connection conductor portion 2c coupling the pad portion 2a embedded within the package's main body 1 and the connection terminal portion 2b.

[0003]

In the prior art semiconductor chip package, mounting of the semiconductor chip is achieved by accommodating the

semiconductor chip T within the concave portion 1a, and wire-bonding the electrodes of the semiconductor chip T and the pad portions 2a via wires W. This semiconductor chip package is mounted on an IC board (not shown) by attaching the connection terminal portions 2b of the leads 2 to the IC board, and thereafter, power is supplied to the semiconductor chip T through the leads 2 and wires W, and at the same time, signals are exchanged between the semiconductor chip T and the external circuits via these leads 2 and wires W.

[0004]

PROBLEMS THE INVENTION ATTEMPTS TO SOLVE

In the above-mentioned prior art semiconductor chip package, however, there has been a problem in that, since the connection terminal portions 2b of the leads 2 are exposed, only a small force externally applied may result in deformation of these connection terminal portions 2b, making it difficult to mount this semiconductor chip to an IC board. Furthermore, there has been another problem in that, static electricity via human hands etc. can easily enter from the connection terminal portions 2b of the leads 2 that are externally exposed, so that the circuitry of the internally-accommodated semiconductor chip T may be destroyed by this static electricity. Accordingly, such a semiconductor chip package requires extremely careful handling, and such handling is not easy.

[0008]

EMBODIMENT

The following section explains an embodiment of the present invention with reference to the figures. Fig. 1 shows a cross-sectional view of a semiconductor chip package according to one embodiment of the present invention, Fig. 2 shows a plan view of this semiconductor chip package, and Fig. 3 shows a perspective view of the same semiconductor chip package.

[0009]

In the figures, reference numeral 10 designates a semiconductor chip package, and to explain the constituents of this semiconductor chip package 10, numeral 11 indicates a package's main body having a concave portion 11a on the top surface thereof for accommodating a semiconductor chip T and a plurality of through holes 11b passing the top through bottom for mounting, provided on the both sides of the concave portion, and this package's main body 11 is made of ceramic or plastic. Reference numeral 12 designates a set of conductive leads for providing electrical connections between the semiconductor chip T and an external circuit, and each of these leads 12 comprises a pad portion 12a disposed in a manner that it is exposed within the concave portion 11a of the package's main body 11 and wire-bonded with an electrode of the semiconductor chip accommodated within the concave portion 11a with a wire W to be electrically connected with the semiconductor chip T.

a connection terminal portion 12b formed in a cylindrical shape and disposed on the interior surface of the corresponding top-to-bottom through hole 11b in the package's main body 11, and a connection conductor portion 12c substantially embedded within the package's main body 11 and coupling the pad portion 12a and the connection terminal portion 12b.

[0010]

Fig. 4 is a diagram illustrating sockets 20 etc. for mounting the semiconductor chip package 10 accommodating the semiconductor chip T. In this diagram, reference numeral 20 indicates a socket attached to an IC board 21 by solder H, and having thereon, protrusions 20a that are inserted into the top-to-bottom through holes 11b of the semiconductor chip package 10. Around each of the protrusions 20a of this socket 20, a conductive terminal 20b is attached, so that the insertion of the protrusions 20a into the top-to-bottom through holes 11b of the protrusions 20a would cause the terminals 20b to be engaged with the connection terminal portions 12b, thereby making electrical connections between an external circuit on the side of the IC substrate 21 and the semiconductor chip T.

[0011]

The operation of this semiconductor chip package 10 will now be explained. First, the semiconductor chip T is accommodated within the concave portion 11a of the package's main body 11, and the electrodes of the semiconductor chip T

and the pad portions 12a within the concave portion 11a of the package's main body 11 are wire-bonded by wires W to make electrical connections between the semiconductor chip T and the leads 12. Next, this semiconductor chip package 10 is attached to the IC board 21 by inserting the protrusions 20a of the socket 20 into the top-to-bottom through holes 11b, thereby mounting the semiconductor chip package 10 enclosing the semiconductor chip T on the IC board 21. Thereafter, power is supplied to the semiconductor chip T from an external circuit on the side of the IC board 21 via the connection terminal portions 12b, connection conductor portions 12c and the pad portions 12a of the leads 12 and the wires W, and at the same time, signals are exchanged between the semiconductor chip T and the external circuit on the side of the IC board 21 through the same route.

[0012]

In this case, the semiconductor chip package 10 has the connection terminal portions 12b of the leads 12 that are not exposed from the package's main body 11 like the connection terminal portions 2b of the prior art semiconductor chip package, so that there will be no inconvenience of incurring deformation of the connection terminal portions 12b of the semiconductor chip package 10 by an external force applied during handling to cause difficulty in attaching this semiconductor chip package 10 to the IC board 21. Furthermore,

the connection terminal portions 12b would never be in contact with human hands etc. so that there would be no inconvenience of having the internal semiconductor chip T damaged by static electricity, which may otherwise enter via these connection terminal portions 12b. Accordingly, this semiconductor chip package 10 ensures the functionality and the safety of the semiconductor chip T without requiring ones to pay so much attention during handling, so that the handling thereof may be simplified.

[0013]

Next, a manufacturing method of this semiconductor chip package 10 will be explained with reference to Fig. 5. Making of the leads 12 is shown in Fig. 5A - 5C. Fig. 5A illustrates a T-shaped plate 30 comprising a long plate portion 31, a narrow plate portion 32 and an edge plate portion 33, which has been stamped out from a conductive plate, and Fig. 5B illustrates the same plate in a state after the long plate portion 31 is rounded into a cylindrical shape, and Fig. 5C illustrates the same plate in a state after the narrow plate portion 32 is bent by 90°. When this T-shape plate 30 in the state shown in Fig. 5C is gold-plated for corrosion inhibition, then the long plate portion 31 forms a connection terminal portion 12b, the narrow plate portion 32 forms a connection conductor portion 12c, and the edge plate portion 33 forms a pad portion 12a. After various leads 12 are fabricated in this way and arranged in

the state shown in Fig. 2, these are fixed within a ceramic or plastic resin forming a given shape of the package's main body 11, thereby completing the semiconductor chip package 10.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-196612

(43)公開日 平成6年(1994)7月15日

(51)IntCl.⁵

H01L 23/50
23/04

識別記号

R 9272-4M

D

E

9355-4M

9355-4M

FI

H01L 23/12

K

P

技術表示箇所

審査請求 未請求 請求項の数1(全5頁) 最終頁に続く

(21)出願番号 特願平4-342584

(22)出願日 平成4年(1992)12月22日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 白井 昭宏

兵庫県伊丹市荻野1丁目132番地 大王電

機株式会社内

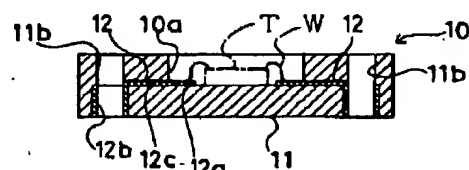
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 半導体チップ用パッケージ

(57)【要約】

【目的】 この発明は、その取り扱いが容易な半導体チップ用パッケージを提供することを目的とする。

【構成】 半導体チップTを格納する容器本体11に実装用の複数の上下孔11bを穿設し、この上下孔11bの内面側に半導体チップTと外部回路とを接続するリード12の筒状に形成された接続用端子部12bを配設している。接続用端子部12bは上下孔11b内にあり、外部に突出していないため、この接続用端子部12bに外力が加わりこれを変形させてしまうことはないとともに、この接続用端子部12bを直接手等で触れて内部に静電気を侵入させてしまうこともなく、この半導体チップ用パッケージの取り扱いの容易化が図られる。



10: 半導体チップ用パッケージ

12: リード

11: 容器本体

12b: 接続用端子部

11b: 上下孔

T: 半導体チップ

【特許請求の範囲】

【請求項1】 半導体チップを格納する容器本体と、前記容器本体に取り付けられ、この容器本体内の前記半導体チップと外部回路とを接続するためのリードとを有する半導体チップ用パッケージにおいて、前記容器本体に実装用の複数の上下孔を穿設するとともに、前記リードの外部回路との接続用端子部を筒状に形成し、前記複数の上下孔の内面側に筒状に形成された前記接続用端子部を配設したことを特徴とする半導体チップ用パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体チップを格納する半導体チップ用パッケージに関するものである。

【0002】

【従来の技術】 図6および図7はそれぞれ従来の半導体チップ用パッケージの一例を示す斜視図および断面図であり、図において1は半導体チップTを格納する凹部1aが上面側に設けられた容器本体、2は半導体チップTと外部回路（図示せず）とを電気的に接続するための導電性のリードであり、このリード2は、半導体チップTとの接続用に容器本体1の凹部1a内に露呈して設けられたパッド部2aと、外部回路との接続用に容器本体1の外方に突出して設けられた接続用端子部2bと、容器本体1内に埋設されたパッド部2aと接続用端子部2bとを連結する接続導体部2cとから構成されている。

【0003】 従来の半導体チップ用パッケージは、凹部1a内に半導体チップTを格納し、半導体チップTの電極部とパッド部2aとをワイヤーWによりワイヤーボンディングして、半導体チップTを搭載している。そして、この半導体チップ用パッケージは、そのリード2の接続用端子部2bがIC基板（図示せず）に取り付けられてこのIC基板に実装され、リード2およびワイヤーWを介して半導体チップTに電源の供給等がなされるとともに、このリード2およびワイヤーWを介して半導体チップTと外部回路との信号の受け渡しがなされる。

【0004】

【発明が解決しようとする課題】 しかしながら、上記従来の半導体チップ用パッケージでは、そのリード2の接続用端子部2bが外部に露出しているため、この接続用端子部2bが外部から加えられる僅かな力で変形してしまい、この半導体チップ用パッケージのIC基板への実装が困難になってしまうという問題があった。また、この外部に露出しているリード2の接続用端子部2bから人の手等を介して容易に静電気が侵入し、この静電気により内部に格納されている半導体チップTの回路が破壊されてしまうという問題もあった。したがって、このような半導体チップ用パッケージの取り扱いには細心の注意が必要であり、その取り扱いが容易でないという課題があった。

【0005】 この発明は上記のような課題を解決するためになされたもので、その取り扱いが容易な半導体チップ用パッケージを提供することを目的とする。

【0006】

【課題を解決するための手段】 この発明は、半導体チップを格納する容器本体と、容器本体に取り付けられ、この容器本体内の半導体チップと外部回路とを接続するためのリードとを有する半導体チップ用パッケージにおいて、容器本体に実装用の複数の上下孔を穿設するとともに、リードの外部回路との接続用端子部を筒状に形成し、複数の上下孔の内面側に筒状に形成された接続用端子部を配設したものである。

【0007】

【作用】 この発明によれば、半導体チップと外部回路とを接続するリードの外部回路との接続用端子部が、筒状に形成された状態で、半導体チップ格納用の容器本体に複数穿設された実装用の上下孔の内面側に配設されているため、この半導体チップ用パッケージの取り扱いにあたり、リードの接続用端子部に手等を触れて内部に静電気を侵入させてしまうことはなく、また、このリードの接続用端子部に外部から力が加わって、この接続用端子部を変形させてしまうこともない。

【0008】

【実施例】 以下に、この発明の実施例を図について説明する。図1はこの発明の一実施例を示す半導体チップ用パッケージの断面図、図2はこの半導体チップ用パッケージの平面図、図3はこの半導体チップ用パッケージの斜視図である。

【0009】 図において、10は半導体チップ用パッケージであり、以下この半導体チップ用パッケージ10の各構成について説明すると、11はその上面側に半導体チップTを格納する凹部11aが形成され、その両側部側に上下に貫通した複数の実装用の上下孔11bが穿設されている容器本体であり、この容器本体11はセラミックやプラスチックから構成されている。12は半導体チップTと外部回路とを電気的に接続するための導電性のリードであり、このリード12は、容器本体11の凹部11a内に露呈して配設され、凹部11a内に格納された半導体チップTの電極部とワイヤーWによりワイヤーボンディングされ、半導体チップTと電気的に接続されるパッド部12aと、筒状に形成され、容器本体11の各上下孔11bの内面側に配設されている接続用端子部12bと、容器本体11内にほぼ埋設され、パッド部12aと接続用端子部12bとを接続する接続導体部12cとから構成されている。

【0010】 また、図4は半導体チップTを格納した半導体チップ用パッケージ10を実装するためのソケット20等を示す図である。図において、20はIC基板21にハンダHにより取り付けられ、その上部に半導体チップ用パッケージ10の上下孔11bに挿入される突起

20aが形成されたソケットである。このソケット20の突起20a周りには導電性の端子20bが取り付けられ、突起20aの上下孔11bへの挿入により端子20bが接続用端子部12bに嵌合し、IC基板21側の外部回路と半導体チップTとが電氣的に接続される。

【0011】つぎに、この半導体チップ用パッケージ10の動作を説明する。まず、容器本体11の凹部11aに半導体チップTを格納し、この半導体チップTの電極部と容器本体11の凹部11a内のパッド部12aとをワイヤーWにてワイヤーボンディングして、半導体チップTとリード12とを電氣的に接続する。つぎに、この半導体チップ用パッケージ10を、その上下孔11b内にソケット20の突起20aを挿入するようにしてIC基板21に取り付けることにより、半導体チップTを有する半導体チップ用パッケージ10はIC基板21に実装される。そして、半導体チップTにはIC基板21側の外部回路から、リード12の接続用端子部12b、接続導体部12c、およびパッド部12aと、ワイヤーWを介して電源供給等がなされるとともに、同一のルートを通して半導体チップTとIC基板21側の外部回路との信号の受け渡しがなされる。

【0012】この場合、半導体チップ用パッケージ10はそのリード12の接続用端子部12bが従来の半導体チップ用パッケージの接続用端子部2bのように容器本体11から外部に突出して設けられていないため、その取り扱い時に接続用端子部12bが僅かの外力により曲げられて、この半導体チップ用パッケージ10をIC基板21に取り付けるのが困難になるといった不都合は生じない。また、半導体チップ用パッケージ10の接続用端子部12bは人の手等に触れられることはないため、この接続用端子部12bを介して静電気が内部に侵入し、この静電気により内部の半導体チップTが破壊されるという不都合を生じない。したがって、この半導体チップ用パッケージ10は、細心の注意を払った取り扱いをしなくても、その機能性および半導体チップTの安全性が確保され、その取り扱いの容易化が図られる。

【0013】つぎに、この半導体チップ用パッケージ10の製造方法について図5を参照しつつ説明する。図5はリード12の作り方を示す図であり、図5の(a)は導体平板から長板部31、細板部32、端板部33とからなるT字板30を打ち抜いた状態を示しており、図5の(b)は長板部31を丸めて円筒形にし、図5の(c)は細板部32を90度曲げた状態を示している。そして、図5の(c)の状態のT字板30を腐食防止用に金メッキすれば、長板部31が接続用端子部12b、細板部32が接続導体部12c、端板部33がパッド部12aとなる。このようにして、種々のリード12を製作し、これ等を図2の状態に並べた後、これ等を容器本体11となるセラミックやプラスチック樹脂で所定形状

に固めれば、半導体チップ用パッケージ10が完成する。

【0014】なお、この半導体チップ用パッケージ10の容器本体10の凹部10aに蓋を設け、この蓋により内部の半導体チップTを湿気等から保護するようにしても良い。

【0015】また、上記実施例では、半導体チップTの電極部とパッド部12aとをワイヤーWを用いてワイヤーボンディングするものとしているが、半導体チップTの下面側に電極部を形成し、該電極部とパッド部12aとを半田接合するものとしても、同様の効果を奏する。

【0016】

【発明の効果】以上の説明から明らかなようにこの発明によれば、半導体チップを格納する容器本体と、容器本体に取り付けられ、この容器本体内の半導体チップと外部回路とを接続するためのリードとを有する半導体チップ用パッケージにおいて、容器本体に実装用の複数の上下孔を穿設するとともに、リードの外部回路との接続用端子部を筒状に形成し、複数の上下孔の内面側に筒状に形成された接続用端子部を配設しているため、この接続用端子部が外部に突出せず、この接続用端子部から人の手等を介して静電気が内部に侵入し、内部の半導体チップの回路を破壊することもない。したがって、この半導体チップ用パッケージでは細心の注意を払った取り扱いをしなくても、その機能性および半導体チップの安全性が確保され、その取り扱いの容易化が図られる。

【図面の簡単な説明】

【図1】この発明の一実施例を示す半導体チップ用パッケージの断面図である。

【図2】この発明の一実施例を示す半導体チップ用パッケージの平面図である。

【図3】この発明の一実施例を示す半導体チップ用パッケージの斜視図である。

【図4】この発明の一実施例を示す半導体チップ用パッケージを取り付けるためのソケット等の側面図である。

【図5】この発明の半導体チップ用パッケージに用いられるリードの作り方を説明する図である。

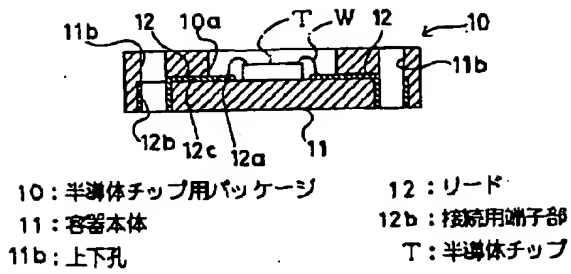
【図6】従来の半導体チップ用パッケージの一例を示す斜視図である。

【図7】従来の半導体チップ用パッケージの一例を示す断面図である。

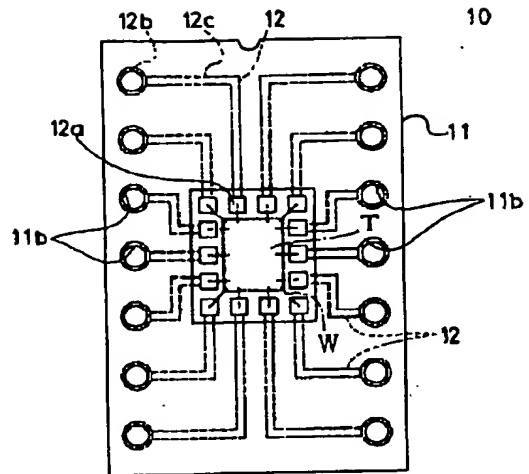
【符号の説明】

- 10 半導体チップ用パッケージ
- 11 容器本体
- 11b 上下孔
- 12 リード
- 12b 接続用端子部
- T 半導体チップ

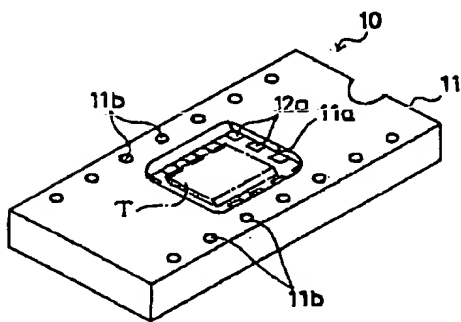
【図1】



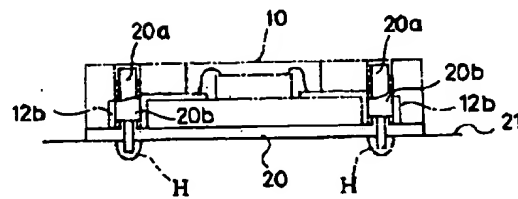
【図2】



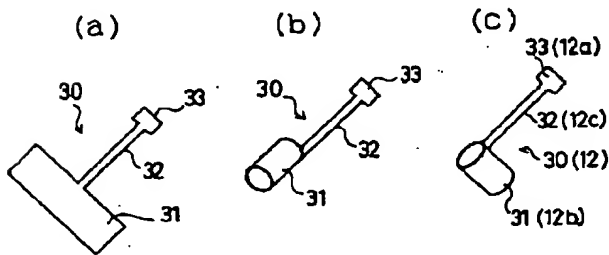
【図3】



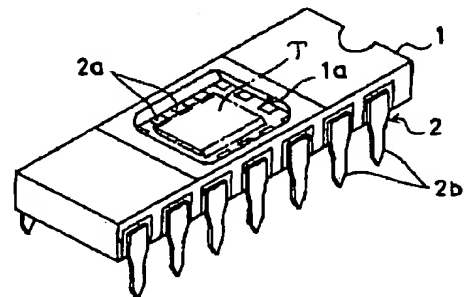
【図4】



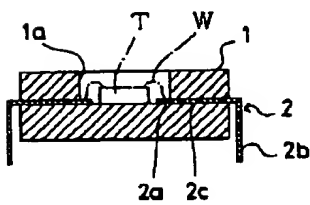
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.³

H 0 1 L 23/12

// H 0 5 K 1/18

識別記号

庁内整理番号

F I

技術表示箇所

H 7128-4E